

AB - **EP-459179 A**

The three plates are stuck or soldered together and the housing has a signal plane (3), a supply plane (4) and earth planer (5). The signal lines are formed as triplate MSDM lines for reflection-free formation of the signal lines, resistors (8) are integrated in the signal plane. The supply plane (4) is insulated by layering with dielectric material to separate it from the two enclosing earth places.

- Standard aluminium oxide ceramic technology may be used in the form of solid plates instead of tape or substrate dielectrics.
- ADVANTAGE - Good interlinee isolation, high resistance terminals and smoothing of spikes. (11pp Dwg.No. 2/8)

19



Europäisches Patentamt
European Patent Office
Office européen des brevets



11 Veröffentlichungsnummer: **0 459 179 A1**

12

EUROPÄISCHE PATENTANMELDUNG

21 Anmeldenummer: 91107340.1

51 Int. Cl.⁵: **H01L 23/66**, H01L 23/498,
H01L 23/64

22 Anmeldetag: 06.05.91

30 Priorität: 28.05.90 DE 4017156

43 Veröffentlichungstag der Anmeldung:
04.12.91 Patentblatt 91/49

84 Benannte Vertragsstaaten:
AT BE CH DE FR GB IT LI LU NL

71 Anmelder: **SIEMENS AKTIENGESELLSCHAFT**
Wittelsbacherplatz 2
W-8000 München 2(DE)

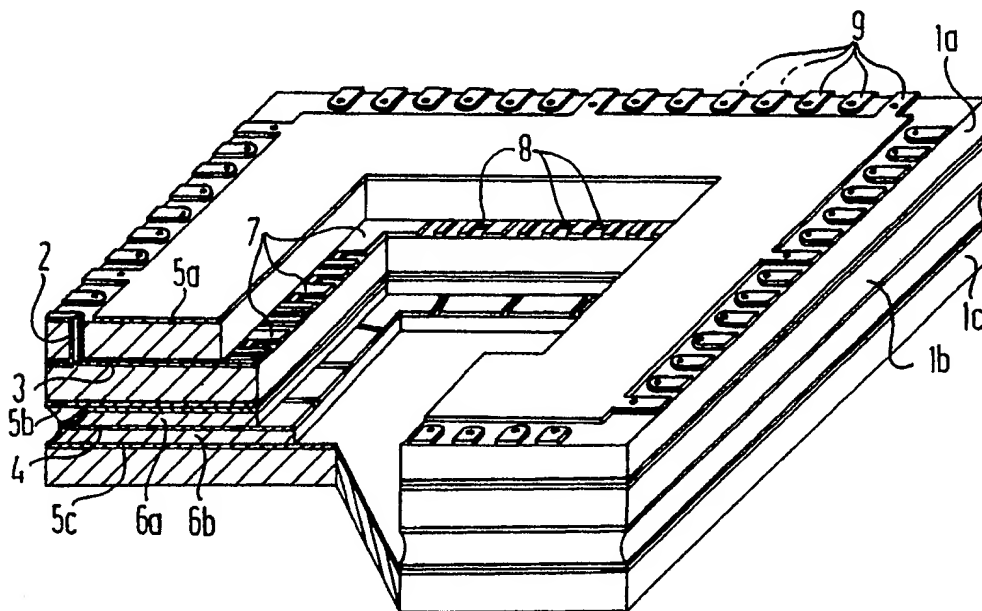
72 Erfinder: **Lange, Friedrich, Dr.-Ing.**
Gröbenbachstrasse 17b
W-8038 Gröbenzell(DE)
Erfinder: **Ressel, Rolan, Dipl.-Phys.**
Rossbacher Weg 7
W-8000 München 70(DE)

54 IC-Gehäuse, bestehend aus drei beschichteten dielektrischen Platten.

57 Angegeben wird ein IC-Gehäuse mit drei beschichteten dielektrischen Platten, bei dem eine Signalebene (3), eine Versorgungsspannungsebene (4) und Masseebenen (5a, 5b, 5c) vorgesehen sind. Es sind die in der Signalebene (3) liegenden Signalleitungen als Triplateitleitungen (MSDM) ausgebildet,

zum reflexionsfreien Abschluß der Signalleitungen sind integrierte Widerstände (8) in der Signalebene (3) vorgesehen und die Versorgungsspannungsebene (4) ist durch Beschichtung mit dielektrischem Material von den zwei umgebenden Masseebenen (5b, 5c) isoliert.

FIG 2



Die Erfindung betrifft ein IC-Gehäuse gemäß dem Oberbegriff des Patentanspruches 1.

Gehäuse der vorgenannten Art sind insbesondere aus Seite 1 der Literaturstelle "Multilayer Ceramic Design Manual", Tri Quint, Semiconductor, Inc. 1989, Revision 1.0, S.1-11, Appendix A, Appendix B bekannt.

In dem Buch von Reinmut K. Hoffmann "Integrierte Mikrowellenschaltungen", Springer-Verlag, Berlin, Heidelberg, New York, Tokyo, 1983 sind auf Seite 95 gekoppelte Mikrostreifenleitungen beschrieben. Es werden später anhand von Figur 1a und Figur 1b die für IC-Gehäuse wesentlichen Gesichtspunkte nochmals im einzelnen erläutert.

Ein IC-Gehäuse sollte folgende spezielle Anforderungen erfüllen, nämlich, eine Entkopplung der Signalleitungen, eine hohe Reflexionsdämpfung, auch bei hochohmig fehlangepaßten IC-Eingängen und schließlich eine gute Glättung von Belastungsspitzen der Gleichspannungsversorgungen.

In herkömmlichen IC-Gehäusen werden als Leitungstypen (vgl. Fig. 1) im allgemeinen Mikrostreifenleitungen mit oder ohne dielektrische Abdeckung verwendet. Bei diesen Leitungstypen ist die gegenseitige Entkopplung benachbarter Leitungen für viele Anwendungen nicht hinreichend, z.B. bei großen Unterschieden im Pegelhub von Signalen (Mischanwendung ECL-, TTL-, CMOS-Pegel) und bei steilen Schaltflanken.

Zur Verbesserung der Entkopplung wird dann von den Anwendern beispielsweise nur noch jede zweite oder dritte Leitung als Signalleitung genutzt und die dazwischenliegenden Leitungen werden nach Masse geschaltet. Diese Methode ist nur mäßig wirksam.

Zur Erhöhung der Reflexionsdämpfung mußten externe Kompensationsmaßnahmen auf der Leiterplatte vorgenommen werden.

In manchen Anwendungsfällen läßt sich das Problem der Glättung von Belastungsspitzen durch Abblock-Kondensatoren lösen, die auf dem IC-Gehäuse oder extern auf der Leiterplatte untergebracht sind. Es kann jedoch auch erforderlich werden, das IC-Layout zu ändern, um störende Lasten an andere Stellen zu plazieren.

Der Erfindung liegt die Aufgabe zugrunde, ein IC-Gehäuse anzugeben, das eine Signalebene, eine Versorgungsspannungsebene und Masseebenen enthält, bei dem eine hohe Entkopplung der Signalleitungen, eine hohe Reflexionsdämpfung, auch bei hochohmig fehlangepaßten IC-Eingängen, sowie eine gute Glättung von Belastungsspitzen der Gleichspannungsversorgung gewährleistet ist.

Für ein IC-Gehäuse nach dem Oberbegriff des Patentanspruches 1 wird diese Aufgabe erfindungsgemäß nach den kennzeichnenden Merkmalen des Patentanspruches 1 gelöst.

In den Unteransprüchen sind vorteilhafte Aus-

gestaltungen dargestellt.

Anhand der beigefügten Ausführungsbeispiele wird die Erfindung noch im einzelnen erläutert.

Es zeigen

- | | | |
|----|----------|--|
| 5 | Figur 1a | Mikrostreifenleitungen, |
| | Figur 1b | Mikrostreifenleitungen mit dielektrischer Abdeckung, |
| | Figur 2 | ein IC-Gehäuse, und zwar ein Ausführungsbeispiel ohne Abdeckung, |
| 10 | Figur 3 | ein Ausführungsbeispiel für die Masseebene 5a (vgl. Figur 2), die schräge Schraffierung stellt metallisierte Flächen dar, die kleinen Kreise stellen Orte metallisierter Durchkontaktierungen in metallisierten Flächen dar, |
| 15 | Figur 4 | zeigt die Signalebene 3 (vgl. Figur 2), die schrägen Schraffierungen sind metallisierte Flächen, |
| 20 | Figur 5 | zeigt für das Ausführungsbeispiel die Versorgungsspannungsebene 4 (vgl. Figur 2), die schräge Schraffierung stellt metallisierte Flächen dar, |
| 25 | Figur 6 | zeigt einen Schnitt durch das IC-Gehäuse zur Darstellung vertikaler elektrischer Verbindungen, Metallisierung (enge Schraffierung), dielektrische Platten (weite Schraffierung), dielektrische Beschichtung (enge Schraffierung) und Lot (Schraffierung) sind erkennbar, |
| 30 | Figur 7 | zeigt an sich bekannte Triplate-Leitungen, bei denen die Streifenleiter S in einem Dielektrikum D eingebettet sind und zwei Masseebenen M vorliegen, |
| 35 | Figur 8 | zeigt den Koppelfaktor $k = (Z_{L,even} - Z_{L,odd}) / (Z_{L,even} + Z_{L,odd})$ als Funktion des Leiterabstandes s, in Figur 8a für gekoppelte Mikrostreifenleitungen in homogenem Dielektrikum, in Figur 8b für gekoppelte Triplateleitungen |

45 Die Figur 1a zeigt eine Mikrostreifenleitung, die Figur 1b eine Mikrostreifenleitung mit dielektrischer Abdeckung nach der eingangs genannten Literaturstelle "Integrierte Mikrowellenschaltungen", Seite 95. Der Streifenleiter ist mit S, das Dielektrikum mit D und die Masse mit M bezeichnet.

50 Zur Beschreibung des erfindungsgemäßen IC-Gehäuses zeigt Fig. 2 wesentliche Teile des konstruktiven Aufbaus. Die Figuren 3 bis 5 geben Beispiele für die typische Strukturierung einzelner metallisch beschichteter Ebenen und Figur 6 zeigt ein Schnittbild zur Erläuterung der vertikalen Verbindungstechnik.

Das erfindungsgemäße IC-Gehäuse besteht

aus drei beschichteten dielektrischen Platten 1a, 1b, 1c, z.B. aus Al_2O_3 -Keramik, die durch Löten oder Kleben - nach außen hermetisch dicht - miteinander verbunden sind. Die elektrischen Verbindungen durch die dielektrischen Platten erfolgen über metallische Durchkontaktierungen 2. Die verschiedenen metallisierten Ebenen werden nach ihren wesentlichen Funktionen unterschieden und als Signalebene 3 (Fig. 4), Versorgungsspannungsebene 4 (Fig. 5) und Masseebene 5a (Fig. 3), 5b, 5c bezeichnet. Die Metallisierung erfolgt z.B. durch Siebdruckverfahren oder über Vakuumbeschichtung. Die Versorgungsspannungen, anliegend an den Metallisierungen U und V, sind von den Masseebenen durch dielektrische Beschichtung (z.B. dielektrischen Druck oder Vakuumbeschichtung) 6a, 6b isoliert. Die Verbindungen durch die Masseebene 5b zu den Versorgungsspannungs-Metallisierungen erfolgen über kraterförmige Strukturen 10, die Verbindung der Masseebene 5b zur Masseebene 5c durch eine heruntergezogene Metallisierung 11 (siehe Fig. 6).

In Figur 3, in Figur 4 und in Figur 5 sind metallisierte Flächen als schräge Schraffierung gezeichnet, kleine Kreise stellen Orte mit metallisierten Durchkontaktierungen in metallisierten Flächen dar.

In Figur 4 und in Figur 5 sind noch die mit U und V bezeichneten Metallisierungen erkennbar, an denen die Versorgungsspannungen anliegen.

Das IC liegt mit seiner Unterseite auf der Masseebene 5c im Gehäuse-Innenraum. Die Beschaltung der IC-Oberseite mit Signalen, Versorgungsspannungen und Masse M erfolgt über Bondverbindungen. Zum Anbringen dieser Bondverbindungen sind im IC-Gehäuse Anschlußbereiche in der Signalebene 3 und der Versorgungsspannungsebene 4 vorgesehen. Um Masseverbindungen über Bonddrähte zu ermöglichen, wird die Masse M an diversen Stellen aus der Masseebene 5b über metallische Durchkontaktierungen in den Anschlußbereich der Signalebene 3 auf Anschlüsse 7 geführt. Diese Anschlüsse 7 werden auch genutzt, um Signalleitungen über Interschlußwiderstände 8 nach Masse M zu schalten.

In Figur 6 sind wirkungsgleiche Teile mit den gleichen Bezugsziffern wie in den übrigen Figuren bezeichnet. Mit einer schrägen Schraffierung ist eine Metallisierung kenntlich gemacht, mit einer weiten Schraffierung sind dielektrische Platten kenntlich gemacht, mit einer engen Schraffierung ist eine dielektrische Beschichtung kenntlich gemacht. Und schließlich stellen schrägschraffierte Flächen Lot dar. Die Figur 6 zeigt einen Schnitt durch das IC-Gehäuse zur Darstellung vertikaler elektrischer Verbindungen. Die Versorgungsspannungsebene 4 (siehe auch Figur 5) wird durch Beschichtung mit dielektrischem Material 6a, 6b,

z.B. Druck mit der Dielektrikumpaste QP445 der Firma DuPont Electronics (Permittivität $\epsilon_r = 6 \dots 8$), von den zwei umgebenden Masseebenen 5b, 5c isoliert. Das vorgenannte Material ist im Handel erhältlich und in Firmenkatalogen der Firma DuPont beschrieben.

Die Außenanschlüsse 9 des IC-Gehäuses befinden sich in der oberen Masseebene 5a. Die Verbindung zur Leiterplatte kann z.B. über Metallbändchen erfolgen, die in Form einer Metallspinne gemeinsam auf das IC-Gehäuse aufgelötet werden. Das IC-Gehäuse wird durch metallische oder dielektrische Abdeckung hermetisch geschlossen. Durchkontaktierungen, die außerhalb dieser Abdeckung liegen, werden durch dielektrische Beschichtung hermetisch abgedichtet. Diese Beschichtung kann bei Verwendung einer dielektrischen Abdeckung (z.B. Keramikplatte) auch flächig über die gesamte obere Platte 1a erfolgen, wobei der Anschlußbereich für die Metallspinne freibleiben muß.

Der Aufbau an sich bekannter Triplateleitungen ist in Figur 7 nochmals zur besseren Übersicht dargestellt.

Die Streifenleiter S sind in einem Dielektrikum D eingebettet, und es liegen zwei Masseebenen M an Ober- und Unterseite des Dielektrikums D vor.

In Figur 8 ist der Koppelfaktor k gekoppelter Leitungen zwischen den Werten $s = 0$ und $s = 1$ mm als Beispiel dargestellt. Die einzelnen Zahlenwerte sind mitgezeichnet. Der Koppelfaktor k ist definiert als $(Z_{L,even} - Z_{L,odd}) / (Z_{L,even} + Z_{L,odd})$. Die Kurve a) zeigt das Ergebnis für gekoppelte Mikrostreifenleitungen in homogenem Dielektrikum, die Kurve b) zeigt das Ergebnis für gekoppelte Triplateleitungen. Die Kurven gelten für die mitgezeichneten Werte $\epsilon_r = 9,8$, $h = 0,381$ mm, $w_m = 0,21$ mm und $w_t = 0,13$ mm.

Die Signalleitungen werden als Triplate-Leitungen entsprechend Figur 7 ausgeführt. Die beiden Masseebenen dieses Leitungstyps werden durch regelmäßige Verbindungen über metallische Durchkontaktierungen auf gleichem Potential gehalten. Dieser Leitungstyp ermöglicht relativ hohe Entkopplung.

In einem einfachen modellhaften Vergleich hierzu stellt Figur 8 die berechneten Koppelfaktoren für gekoppelte Mikrostreifenleitungen in homogenem Dielektrikum und gekoppelte Triplate-Leitungen gegenüber. Die Leiterbreiten sind dabei jeweils so gewählt, daß die Leitungswellenwiderstände für Entkopplung, d.h. für sehr große Spaltbreite $s \rightarrow \infty$, 50Ω betragen, was gleichbedeutend mit $s/w \gg 1$ ist.

Die Signalleitungen werden mit dem zur Anpassung notwendigen definierten Leitungswellenwiderstand (z.B. $\rightarrow Z_L = 50\Omega$) durch das IC-Gehäuse geführt. Signalleitungen, die zu hochohmig fehlangepaßten IC-Eingängen führen, werden durch

integrierte Widerstände 8 angepaßt nach Masse geschaltet.

Die Masse wird dazu an verschiedenen Stellen über metallische Durchkontaktierungen aus der Masseebene 5b in die Signalebene 3 gezogen.

Die integrierten Widerstände 8 lassen sich z.B. durch Dickschichtdruck aufbringen. Bei Variation, der IC-Anschlüsse, die parallel einen integrierten Abschlußwiderstand benötigen, muß dann nur die Maske des Widerstandsdrucks geändert werden.

Die Versorgungsspannungsebene 4 (s. auch Figur 5) wird durch Beschichtung mit dielektrischem Material 6a, 6b, z.B. Druck mit der Dielektrikumspaste QP455 von Fa. DuPont Electronics (Permittivität $\epsilon_r = 6 \dots 8$), von den zwei umgebenden Masseebenen 5b, 5c isoliert. Dadurch sind die Gleichspannungsversorgungen hoch kapazitiv und induktivitätsarm. Hochfrequente Belastungsspitzen werden dann insbesondere deshalb gut geglättet, weil auch die lokale Kapazität im direkten Bereich der Anschlüsse zum IC hin sehr hoch ist. Die Verbindungen durch die Masseebene 5b zu den Versorgungsspannungs-Metallisierungen erfolgen über kraterförmige Strukturen 10, die Verbindung der Masseebene 5b zur Masseebene 5c durch heruntergezogene Metallisierung 11, wie dies in Figur 6 erkennbar ist.

Patentansprüche

1. IC-Gehäuse, bestehend aus drei beschichteten dielektrischen Platten (1a, 1b, 1c), die durch Löten oder Kleben verbunden sind und das eine Signalebene (3), eine Versorgungsspannungsebene (4) und Masseebenen (5a, 5b, 5c) aufweist,
dadurch gekennzeichnet,
daß die in der Signalebene (3) liegenden Signalleitungen als Triplateitleitungen (MSDM) ausgebildet sind,
und daß zum reflexionsfreien Abschluß der Signalleitungen integrierte Widerstände (8) in der Signalebene (3) vorgesehen sind,
und daß weiterhin die Versorgungsspannungsebene (4) durch Beschichtung mit dielektrischem Material von den zwei umgebenden Masseebenen (5b, 5c) isoliert ist.
2. IC-Gehäuse nach Anspruch 1,
gekennzeichnet durch
die Verwendung von Standard-Schichttechnologie auf Al_2O_3 -Keramik (Aluminium-Oxid-Keramik) in Form von festen Platten anstelle von "Tape on Substrate"-Dielektrikum (Kunststoffolie mit Keramikpulver).
3. IC-Gehäuse nach Anspruch 1 oder 2,
dadurch gekennzeichnet.

daß elektrische Verbindungen durch dielektrische Platten (1a, 1b) über Durchkontaktierungen (2) erfolgen, die durch dielektrische Beschichtung hermetisch dicht abgedeckt sind.

4. IC-Gehäuse nach einem dem vorhergehenden Ansprüche,
dadurch gekennzeichnet,
daß die Versorgungsspannungsmetallisierungen (U, V) jeweils umlaufend elektrisch verbunden sind und dabei die umlaufende Verbindung U in der Versorgungsspannungsebene (4) und die umlaufende Verbindung V in der Signalebene (3) liegt. (Fig. 4, Fig.5)
5. IC-Gehäuse nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
daß die elektrische Kontaktierung durch die Masseebene (5b) auf die Versorgungsspannungsebene (4) mit kraterförmigen Strukturen (10) erfolgt.
6. IC-Gehäuse nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
daß die Masseebenen (5b, 5c) über eine heruntergezogene Metallisierung (11) umlaufend miteinander kontaktiert sind.

FIG 1

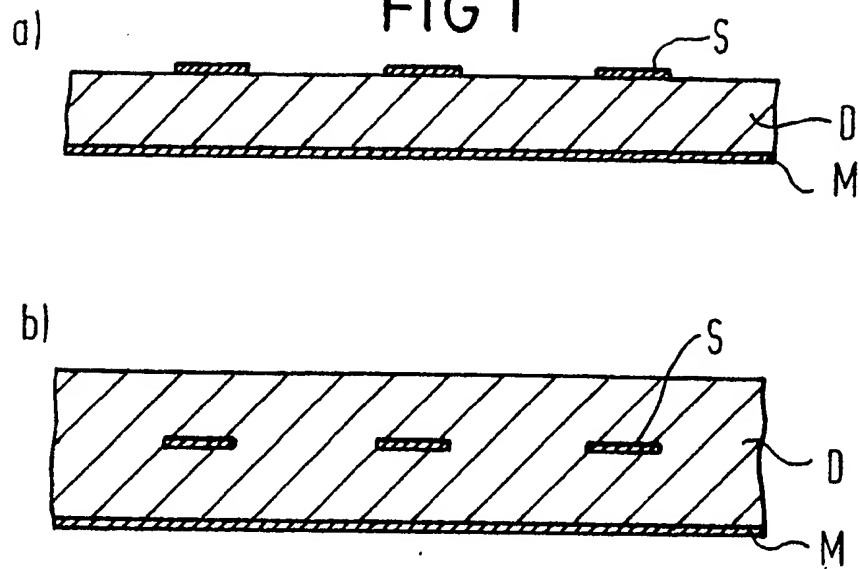


FIG 2

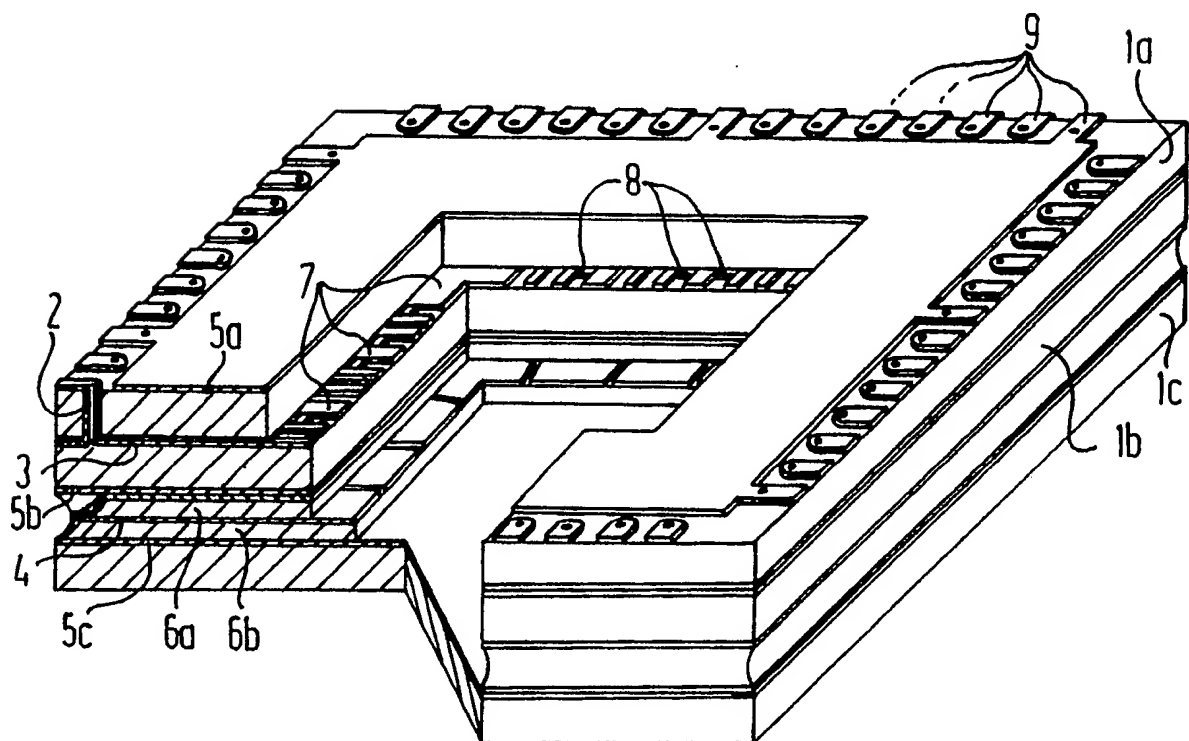
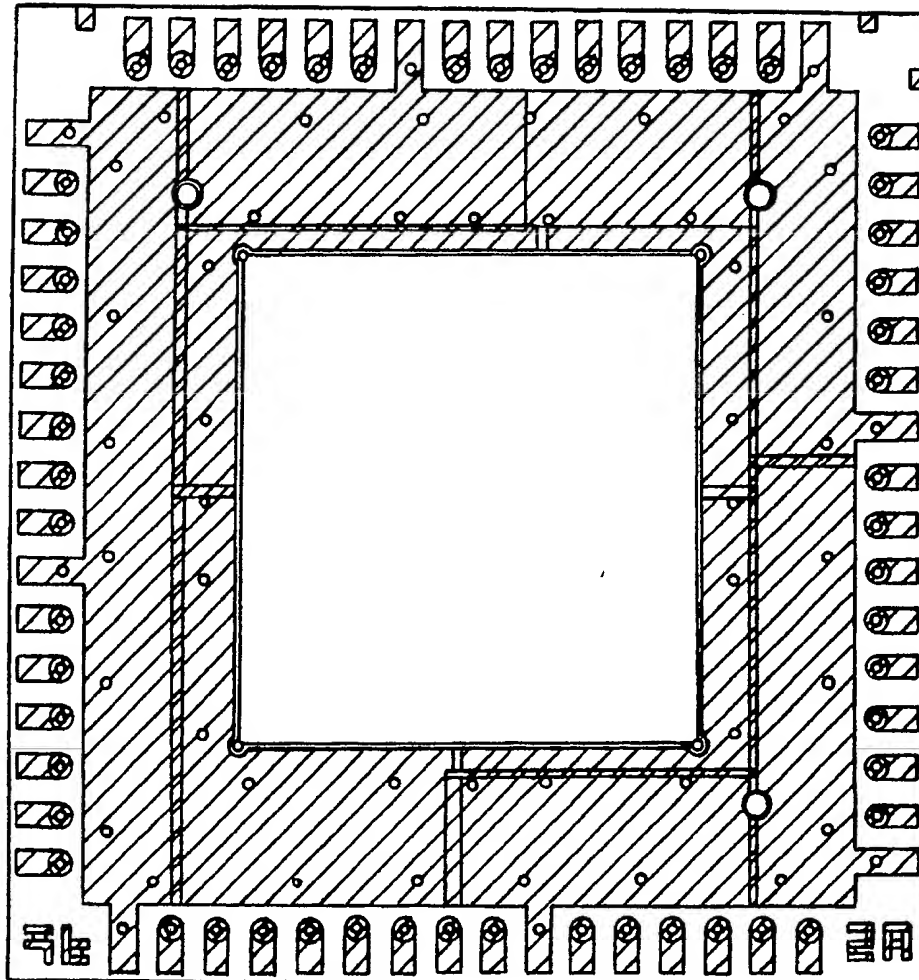
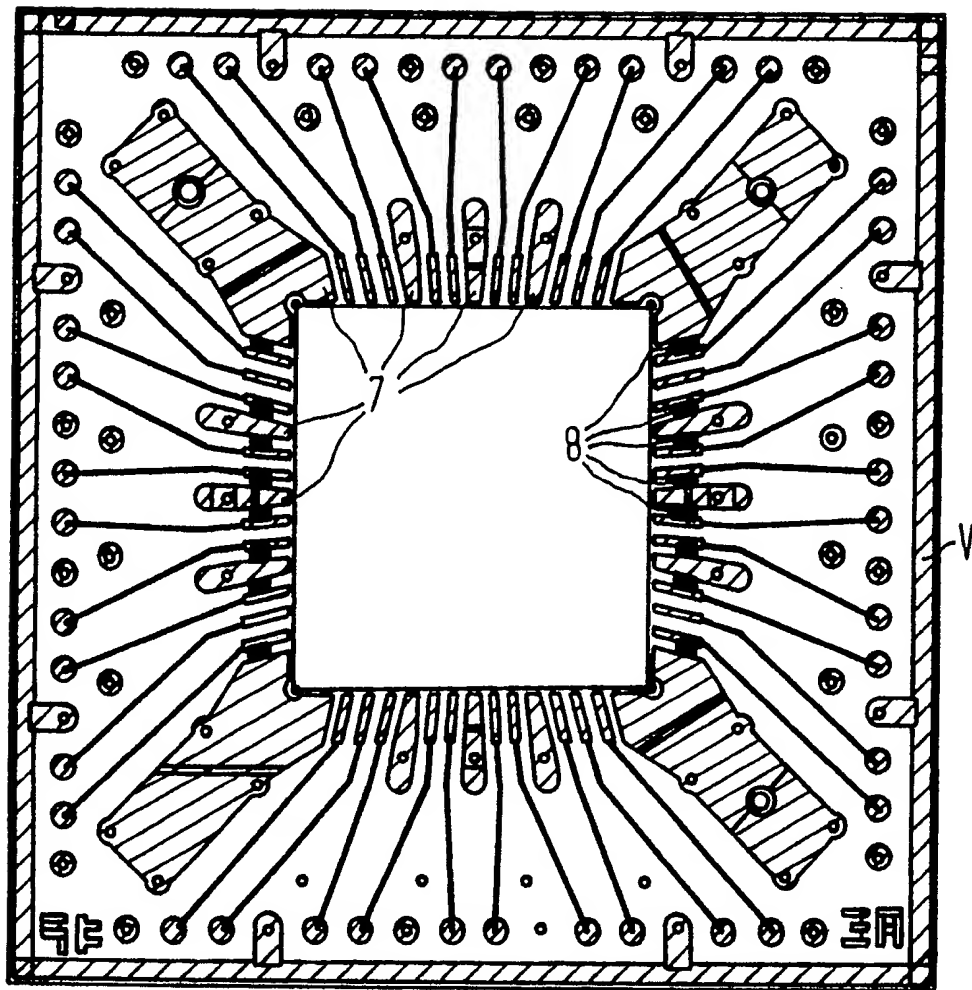


FIG 3



- ▨ =metallisierte Flächen,
◦ in metallisierten Flächen = Orte
metallisierter Durchkontaktierung

FIG4



 =metallisierte Flächen

FIG 5

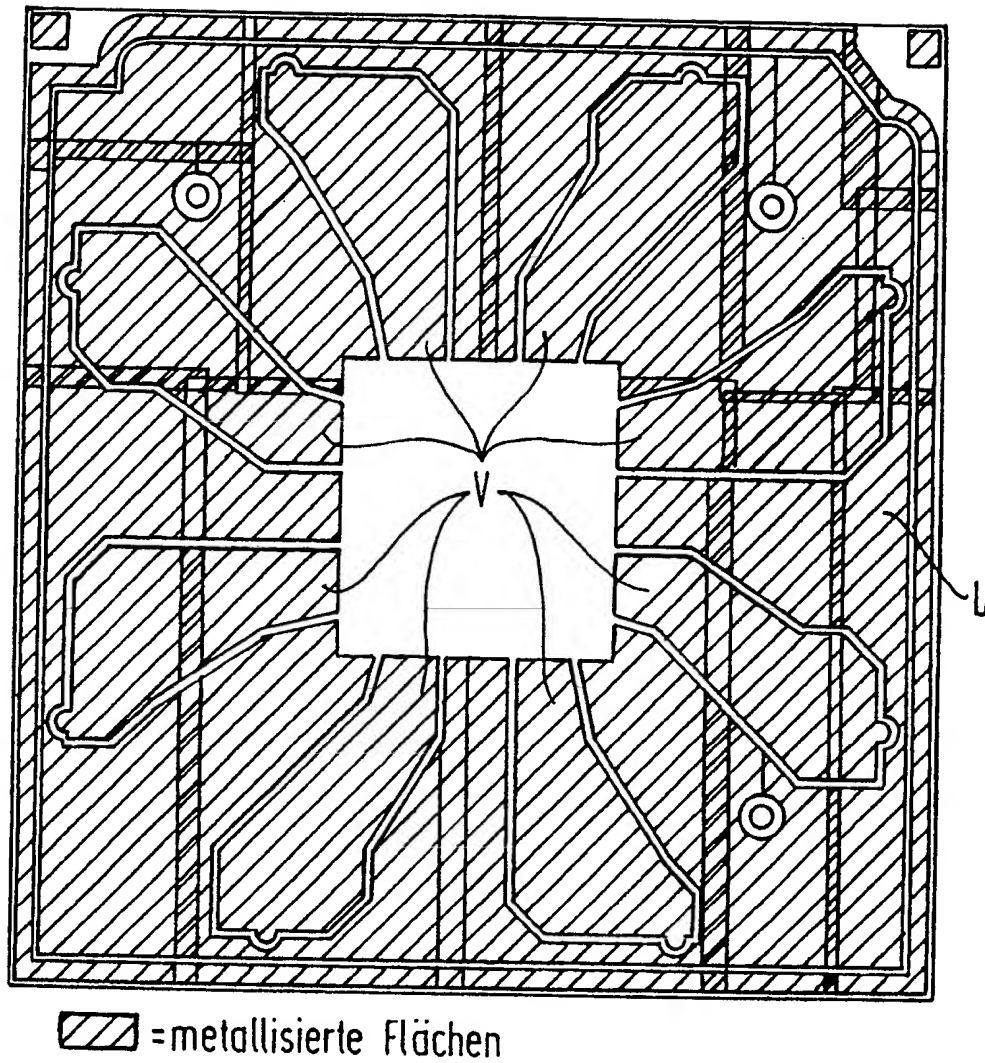


FIG 6

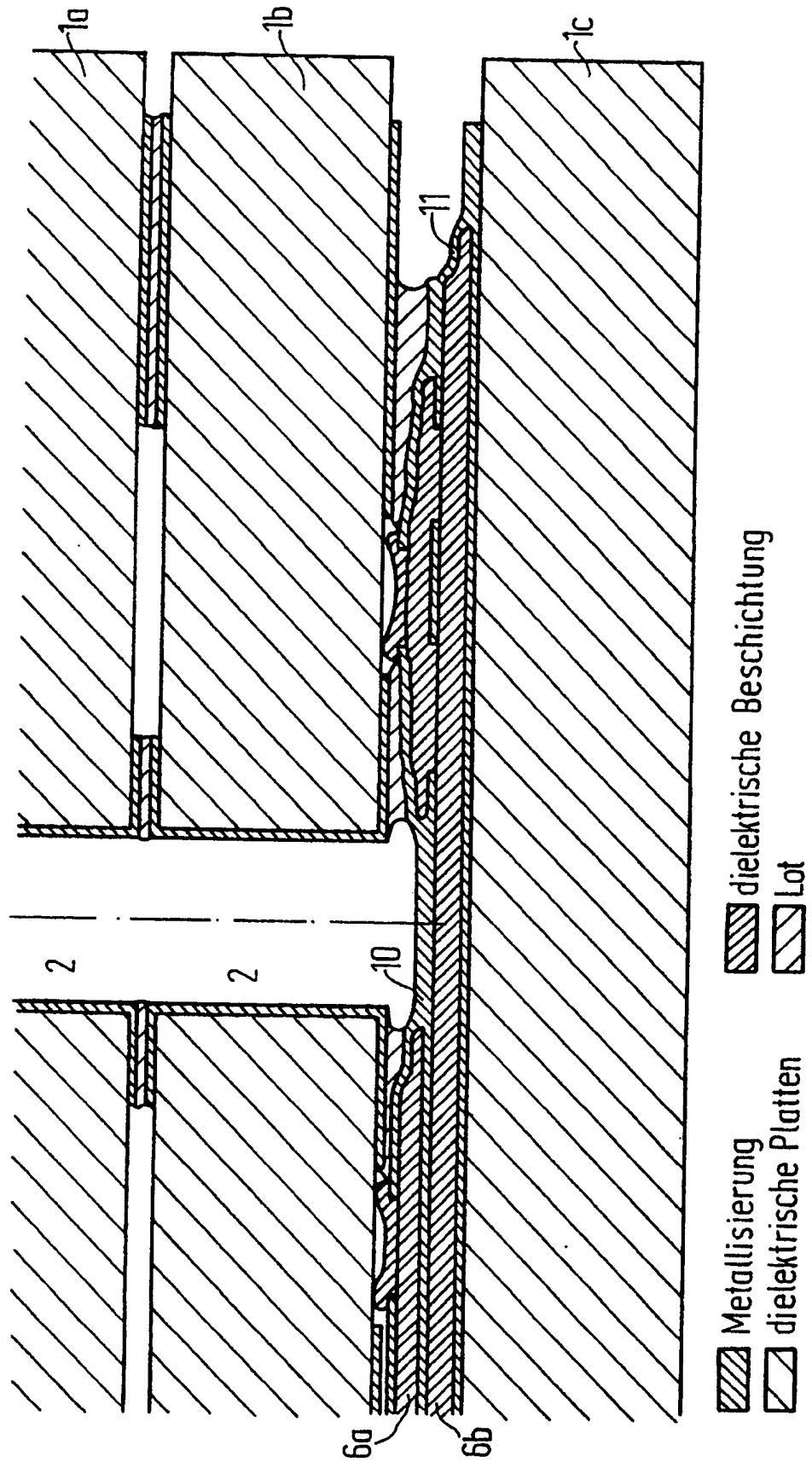


FIG 7

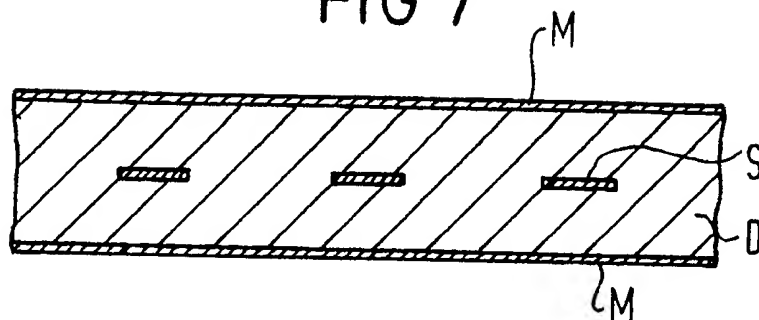
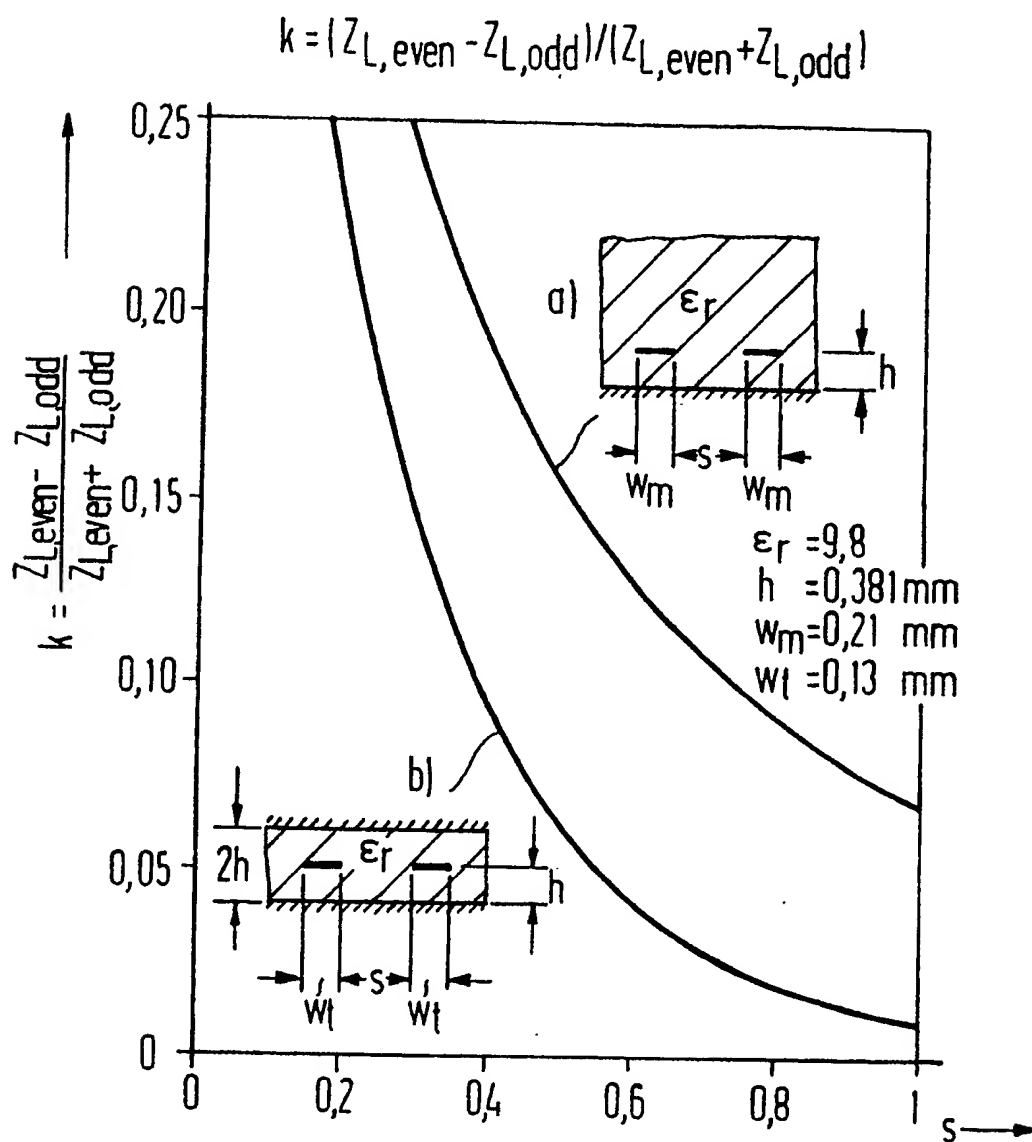


FIG 8





Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 91 10 7340

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl.5)
Y,A	US-A-4 739 448 (D.A. ROWE ET AL.) * Spalte 3, Zeile 54 - Spalte 4, Zeile 20; Figur 3 *	1-3,5,4,6	H 01 L 23/66 H 01 L 23/498 H 01 L 23/64
Y	PATENT ABSTRACTS OF JAPAN vol. 12, no. 17 (E-574)(2864) 19 Januar 1988, & JP-A-62 176153 (NEC) 01 August 1987, * das ganze Dokument *	1-3,5	
A	EP-A-0 275 973 (SUMITOMO) * Spalte 8, Zeile 19 - Spalte 15, Zeile 6; Figuren 2-4 *	1-5	
A	US-A-4 949 163 (T. SUDO ET AL.) * Spalte 2, Zeile 59 - Spalte 3, Zeile 43; Figur 1 *	1,3	
A	EP-A-0 199 635 (FUJITSU) * Spalte 4, Zeile 29 - Spalte 10, Zeile 42; Figuren 1-3 *	1,5	
P,X	EP-A-0 407 107 (MOTOROLA) * Seite 4, Zeilen 13 - 53; Figur 1 *	1,3	
			RECHERCHIERTE SACHGEBIETE (Int. Cl.5)
			H 01 L H 01 P
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort		Abschlußdatum der Recherche	Prüfer
Berlin		06 September 91	MUNNIX S J G
KATEGORIE DER GENANNTEN DOKUMENTE X: von besonderer Bedeutung allein betrachtet Y: von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A: technologischer Hintergrund O: nichtschriftliche Offenbarung P: Zwischenliteratur			
E: älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D: in der Anmeldung angeführtes Dokument L: aus anderen Gründen angeführtes Dokument &: Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument			